

# SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

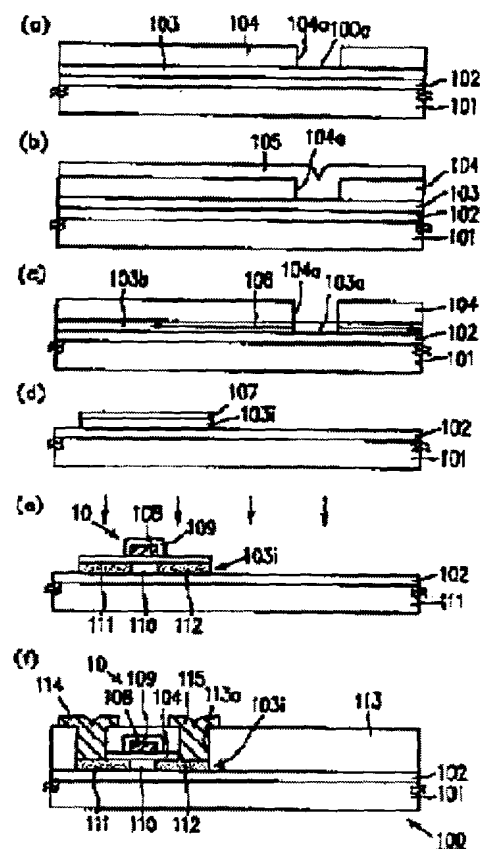
**Patent number:** JP8031737  
**Publication date:** 1996-02-02  
**Inventor:** MAKITA NAOIKI; FUNAI TAKASHI  
**Applicant:** SHARP KK  
**Classification:**  
 - international: *H01L21/20; H01L21/336; H01L27/12; H01L29/78; H01L29/786; H01L21/02; H01L27/12; H01L29/66;*  
 (IPC1-7): H01L21/20; H01L21/336; H01L27/12; H01L29/786  
 - european:  
**Application number:** JP19940164380 19940715  
**Priority number(s):** JP19940164380 19940715

[Report a data error here](#)

## Abstract of JP8031737

**PURPOSE:**To provide the manufacture of a semiconductor device with a high-performance MOS type transistor having uniform stable characteristics extending over the whole surface of a substrate.

**CONSTITUTION:**An amorphous silicon film 103 and a silicon oxide film 104 are formed continuously on a silicon oxide film 102 on the surface of a substrate 101 without breaking a vacuum. A catalytic element promoting the crystallization of the amorphous silicon film 103 is introduced selectively to a part of the amorphous silicon film 103 while using the patterned silicon oxide film 104 as a mask. The section 100a, into which the catalytic element is introduced selectively, is crystallized by heating, a region 103a changed into a single crystal is extended in the direction parallel with the surface of the substrate by succeeding heat treatment to form a lateral crystal growth region 103b, and the lateral crystal growth region is used as an active region 103i.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-31737

(43) 公開日 平成8年(1996)2月2日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 21/20

27/12

P

29/786

21/336

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数16 O L (全18頁)

(21) 出願番号

特願平6-164380

(22) 出願日

平成6年(1994)7月15日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 船井 尚

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

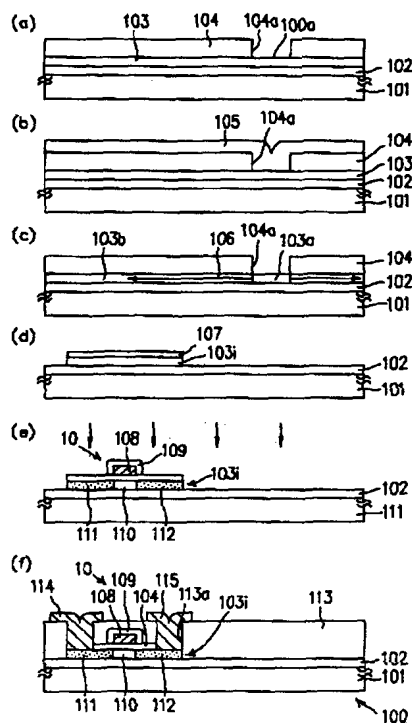
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 基板全面にわたって、均一で安定した特性の高性能MOS型トランジスタ素子を有する半導体装置の製造方法を提供する。

【構成】 基板1表面の酸化ケイ素膜102上に非晶質ケイ素膜103及び酸化ケイ素膜104を真空を破らずに続けて形成する。パターニングした酸化ケイ素膜104をマスクとして、該非晶質ケイ素膜103の一部に、その結晶化を助長する触媒元素を選択的に導入する。加熱によって該触媒元素を選択的に導入した部分100aを結晶化させ、続く加熱処理により、該単結晶化した領域103aを基板表面に対して平行な方向に延ばして横方向結晶成長領域103bを形成し、この横方向結晶成長領域を活性領域103iとして利用するようにした。



## 【特許請求の範囲】

【請求項 1】 絶縁性表面を有する基板と、  
該基板の絶縁性表面上に形成され、非晶質ケイ素膜を結  
晶化してなる活性領域と、  
該活性領域上に形成された絶縁性薄膜とを備え、  
該活性領域は、その近傍の結晶化領域から基板表面に  
対して平行な方向に結晶成長が進んで形成された横方向結  
晶成長領域の一部であり、  
前記結晶化領域は、非晶質ケイ素膜の加熱処理による結  
晶化を助長する触媒元素を導入した領域である半導体装  
置。

【請求項 2】 絶縁性表面を有する基板と、  
該基板の絶縁性表面上に形成され、非晶質ケイ素膜を結  
晶化してなる活性領域と、  
該活性領域上に形成された絶縁性薄膜とを備え、  
該活性領域は、その近傍の結晶化領域から基板表面に  
対して平行な方向に結晶成長が進んで形成された、その結  
晶粒がほぼ単結晶状態である横方向結晶成長領域の一部  
であり、  
前記結晶化領域は、非晶質ケイ素膜の加熱処理による結  
晶化を助長する触媒元素を導入した領域である半導体装  
置。

【請求項 3】 MOS 型トランジスタを備え、そのゲ  
ート絶縁膜は前記絶縁性薄膜から構成されている請求項 1  
または 2 記載の半導体装置。

【請求項 4】 前記活性領域近傍の結晶化領域における  
触媒元素の濃度が、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^2$  である請求項 1 または 2 記載の半導体装置。

【請求項 5】 前記活性領域近傍の結晶化領域は、触媒  
元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As および Sb の内の一種  
または複数種類の元素を含む請求項 1 または 2 記載の半  
導体装置。

【請求項 6】 基板上に非晶質ケイ素膜及び絶縁性薄膜  
を真空を破らずに続けて形成する工程と、  
該絶縁性薄膜をパターニングした後、該絶縁性薄膜をマ  
スクとして非晶質ケイ素膜の一部に、その結晶化を助長  
する触媒元素を選択的に導入する工程と、  
加熱処理によって、該非晶質ケイ素膜の、触媒元素を導  
入した部分を結晶化させる工程と、  
続く加熱処理によってこの結晶化した部分から基板表面  
に対しほぼ平行な方向へ結晶成長を行って、該非晶質ケ  
イ素膜中に横方向結晶成長領域を形成する工程と、  
該絶縁性薄膜を均一に表面から一定量エッチング除去す  
る工程と、  
該横方向結晶成長領域から半導体素子の活性領域を形成  
する工程とを含む半導体装置の製造方法。

【請求項 7】 基板上に非晶質ケイ素膜及び絶縁性薄膜  
を真空を破らずに続けて形成する工程と、  
該絶縁性薄膜をパターニングした後、該絶縁性薄膜をマ

スクとして非晶質ケイ素膜の一部に、その結晶化を助長  
する触媒元素を選択的に導入する工程と、  
加熱処理によって、該非晶質ケイ素膜の、触媒元素を導  
入した部分を結晶化させる工程と、  
続く加熱処理によってこの結晶化した部分から基板表面  
に対しほぼ平行な方向へ結晶成長を行って、該非晶質ケ  
イ素膜中に横方向結晶成長領域を形成する工程と、  
該絶縁性薄膜を均一に表面から一定量エッチング除去す  
る工程と、

レーザー光あるいは強光を該横方向結晶成長領域に照射  
して、その結晶の処理を行う工程と、  
該処理を行った横方向結晶成長領域から半導体素子の活  
性領域を形成する工程とを含む半導体装置の製造方法。

【請求項 8】 前記絶縁性薄膜のエッチングにより除去  
する厚さを、前記加熱処理の際触媒元素が該絶縁性薄膜  
中で拡散する距離以上の厚さとする請求項 6 または 7 記  
載の半導体装置の製造方法。

【請求項 9】 基板上に非晶質ケイ素膜及び絶縁性薄膜  
を真空を破らずに続けて形成する工程と、

該絶縁性薄膜上にこれを覆うよう、該非晶質ケイ素膜の  
結晶化を助長する触媒元素の該絶縁性薄膜への拡散を防  
止する拡散防止膜を形成する工程と、

該絶縁性薄膜および拡散防止膜をパターニングした後、  
これらの膜をマスクとして、該非晶質ケイ素膜の一部分  
に、その結晶化を助長する触媒元素を選択的に導入する  
工程と、

加熱処理によって、該非晶質ケイ素膜の、触媒元素を導  
入した部分を結晶化させる工程と、

続く加熱処理によってこの結晶化した部分から基板表面  
に対しほぼ平行な方向へ結晶成長を行って、該非晶質ケ  
イ素膜中に横方向結晶成長領域を形成する工程と、  
該拡散防止膜を除去する工程と、  
該横方向結晶成長領域から半導体素子の活性領域を形成  
する工程とを含む半導体装置の製造方法。

【請求項 10】 基板上に非晶質ケイ素膜及び絶縁性薄  
膜を真空を破らずに続けて形成する工程と、

該絶縁性薄膜上にこれを覆うよう、該非晶質ケイ素膜の  
結晶化を助長する触媒元素の該絶縁性薄膜への拡散を防  
止する拡散防止膜を形成する工程と、

該絶縁性薄膜および拡散防止膜をパターニングした後、  
これらの膜をマスクとして、該非晶質ケイ素膜の一部分  
に、その結晶化を助長する触媒元素を選択的に導入する  
工程と、

加熱処理によって、該非晶質ケイ素膜の、触媒元素を導  
入した部分を結晶化させる工程と、

続く加熱処理によってこの結晶化した部分から基板表面  
に対しほぼ平行な方向へ結晶成長を行って、該非晶質ケ  
イ素膜中に横方向結晶成長領域を形成する工程と、  
該拡散防止膜を除去する工程と、

レーザー光あるいは強光を該横方向結晶成長領域に照射

10

20

30

40

50

して、その結晶の処理を行う工程と、

該処理を行った横方向結晶成長領域から半導体素子の活性領域を形成する工程とを含む半導体装置の製造方法。

【請求項 1 1】 前記拡散防止膜は、前記非晶質ケイ素膜の結晶化のための加熱処理の際、前記触媒元素が該拡散防止膜中で拡散する距離以上の厚さとする請求項 9 または 1 0 記載の半導体装置の製造方法。

【請求項 1 2】 前記拡散防止膜として、酸化ケイ素膜あるいは窒化ケイ素膜を用いる請求項 9 または 1 0 記載の半導体装置の製造方法。

【請求項 1 3】 前記絶縁性薄膜から薄膜トランジスタのゲート絶縁膜を形成する工程を含む請求項 6、7、9 または 1 0 のいずれかに記載の半導体装置の製造方法。

【請求項 1 4】 前記非晶質ケイ素膜の一部分にその結晶化を助長する触媒元素を選択的に導入する工程では、該非晶質ケイ素膜の一部分に接するよう、該触媒元素を溶解あるいは分散させた溶液あるいは化合物を塗布する請求項 6、7、9 または 1 0 のいずれかに記載の半導体装置の製造方法。

【請求項 1 5】 前記非晶質ケイ素膜の一部分にその結晶化を助長する触媒元素を選択的に導入する工程では、該非晶質ケイ素膜の一部分に接するよう、該触媒元素を蒸着する請求項 6、7、9 または 1 0 のいずれかに記載の半導体装置の製造方法。

【請求項 1 6】 触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As および Sb の内の一種または複数種類の元素を用いる請求項 6、7、9、または 1 0 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、半導体装置およびその製造方法に関し、さらに詳しく言えば、非晶質ケイ素膜を結晶化した結晶性ケイ素膜を活性領域とする半導体装置およびその製造方法に関する。特に、本発明は、絶縁基板上に設けられた T F T（薄膜トランジスタ）を有する半導体装置に有効であり、アクティブマトリクス型の液晶表示装置、密着型イメージセンサー、三次元 I C などに適用できるものである。

【0 0 0 2】

【従来の技術】近年、大型で高解像度の液晶表示装置、高速で高解像度の密着型イメージセンサー、三次元 I C などへの実現に向けて、ガラス等の絶縁基板上や、絶縁膜上に高性能な半導体素子を形成する試みがなされている。これらの装置に用いられる半導体素子には、薄膜状のケイ素半導体層を用いるのが一般的である。

【0 0 0 3】この薄膜状のケイ素半導体層としては、非晶質ケイ素半導体（a - S i）からなるものと、結晶性を有するケイ素半導体からなるものの 2 つに大別される。非晶質ケイ素半導体は作製温度が低く、気相法で比

較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電性等の物性が結晶性を有するケイ素半導体に比べて劣る。このため今後より高速特性を得るためには、結晶性を有するケイ素半導体からなる半導体装置の作製方法の確立が強く求められている。なお、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非晶質の中間の状態を有するセミアモルファスケイ素等が知られている。

10 【0 0 0 4】これら結晶性を有する薄膜状のケイ素半導体層を得る方法としては、（1）半導体膜の成膜を、該半導体膜に結晶性を持たせつつ行う、（2）非晶質の半導体膜を成膜し、その後レーザー光のエネルギーにより、該半導体膜を結晶性を有するものにする、（3）非晶質の半導体膜を成膜し、その後熱エネルギーを加えることにより、該半導体膜を結晶性を有するものとする、といった方法が知られている。

【0 0 0 5】しかしながら、（1）の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るにはケイ素膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技術上困難である。またこの方法では成膜温度が 6 0 0 ℃以上と高いので、安価なガラス基板が使用できないというコスト面での問題があった。

【0 0 0 6】また、（2）の方法では、熔融固化過程の結晶化現象を利用するため、小粒径ながら粒界が良好に処理され、高品質な結晶性ケイ素膜が得られるが、現在レーザーとして最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さくスループットが低いという問題がまず有る。またレーザー光による結晶化処理は、大面積基板の全面を均一に処理するにはレーザーの安定性が充分ではなく、次世代の技術という感が強い。

【0 0 0 7】（3）の方法は、（1）、（2）の方法と比較すると大面積に対応できるという利点はあるが、結晶化に際し 6 0 0 ℃以上の高温にて数十時間にわたる加熱処理が必要である。一方、安価なガラス基板の使用とスループットの向上を考えると、加熱温度を下げ、さらに短時間で結晶化させなければならない。このため

40 （3）の方法では、上記のような相反する問題点を同時に解決する必要がある。

【0 0 0 8】また、（3）の方法では、固相結晶化現象を利用するため、結晶粒は基板面に平行に拡がり数  $\mu\text{m}$  の粒径を持つものさえ現れるが、成長した結晶粒同士がぶつかり合って粒界が形成されるため、その粒界がキャリアに対するトラップ準位として働き、T F T の移動度を低下させる大きな原因となってしまう。

【0 0 0 9】上記（3）の方法を利用して、前述の結晶粒界の問題点を解決する方法が、特開平 5 - 5 5 1 4 2 号公報あるいは特開平 5 - 1 3 6 0 4 8 号公報で提案さ

れている。これらの方法では、結晶成長の核となる異物を非晶質ケイ素膜中に導入して、その後熱処理をすることで、その異物を核とした大粒径の結晶性ケイ素膜を得ている。

【0010】前者では、シリコン(Si)をイオン注入法によって非晶質ケイ素膜に導入し、その後熱処理により粒径数 $\mu\text{m}$ の結晶粒をもつ多結晶ケイ素膜を得る。後者では、粒径10~100nmのSi粒子を高圧の窒素ガスとともに非晶質ケイ素膜に吹きつけて成長核を形成している。両者とも非晶質ケイ素膜に選択的に異物を導入し、それを核として結晶成長させた高品質な結晶性ケイ素膜を利用して半導体素子を形成しているのは同様である。

【0011】また、高性能なMOS型トランジスタを実現するためには、その活性領域となる上述の結晶性ケイ素膜の高品質化だけではなく、ゲート絶縁膜の高品質化、さらには、活性領域の半導体薄膜とゲート絶縁膜の界面の高品質化が不可欠である。

【0012】従来のICプロセスでSi基板上に作製されるMOS型トランジスタでは、Si基板表面を熱酸化し、その熱酸化ケイ素膜をゲート絶縁膜として用いている。したがって、活性層とゲート絶縁膜界面はクリーンな状態に保たれており、ゲート絶縁膜としても非常に高品質な酸化ケイ素膜が得られる。

【0013】しかしながら、この熱酸化工程には1000℃以上の高温が必要で、安価なガラス基板上に作製されるTFTには応用できない。また、石英基板など耐熱性の高い基板を用いて熱酸化膜を形成したとしても、その元となるケイ素膜は単結晶シリコンではなく結晶性ケイ素膜であり、それを酸化することで得られる酸化ケイ素膜の絶縁特性は劣悪で、とてもゲート絶縁膜として使用することはできない。

【0014】このため絶縁性を有する基板上に形成される結晶性ケイ素膜を用いた半導体装置では、ゲート絶縁膜をCVD法などの低温成膜法で別に形成する必要がある。例えば、特開平3-4564号公報では、半導体層(非晶質ケイ素膜)とゲート絶縁膜とを低温成膜法で連続形成し、その後固相結晶化のための熱処理を行うことで、半導体層とゲート絶縁膜との界面(以下、半導体層/ゲート絶縁膜界面と記す。)を清浄に保ち高性能のTFTを実現している。

【0015】

【発明が解決しようとする課題】ところで、絶縁性を有する基板上に結晶性ケイ素膜を利用してTFTのような半導体素子を作製する場合、最も問題となるのは、上述のように活性領域となる結晶性ケイ素膜の結晶性と、半導体層とゲート絶縁膜との界面の状態である。

【0016】まず、ゲート絶縁膜に関しては、低温成膜法でゲート絶縁膜を作製した場合、高温酸化法で形成したゲート絶縁膜と比較すると膜質が劣り、高性能のTFT

Tが実現できないという問題点があった。これは、ゲート絶縁膜中の残留ストレス、ダングリングボンド、不純物等に起因する欠陥準位が半導体層/ゲート絶縁膜界面に存在し、空乏層が広がらないことが理由である。この問題は半導体層/ゲート絶縁膜界面を清浄に保つことでほぼ解決でき、特開平3-4564号公報記載の技術が有効である。

【0017】ここで、活性領域となる結晶性ケイ素膜の作製方法については、大面積基板対応を考えると、基板内での結晶性がある程度安定している上記の(3)で述べた固相結晶化法を用いるのが現状最も好ましい。しかしながら、特開平3-4564号公報に示されているような従来の固相結晶化法によって作製された結晶性ケイ素膜は、前述のように結晶粒界の影響が大きく、単一の結晶粒内も結晶欠陥の多い双晶構造を示す。

【0018】このような場合には、半導体層とゲート絶縁膜とを真空を破らずに連続形成しても、半導体層/ゲート絶縁膜界面はその半導体層における上述のような結晶欠陥の影響を受けるため、半導体層/ゲート絶縁膜界面の欠陥準位を十分に低減することはできず、Siウェハーを熱酸化した時に得られるような良好な界面特性は得られない。

【0019】したがって、特開平3-4565号公報で提案されている方法は、半導体層/ゲート絶縁膜界面の欠陥準位を低減する有効な方法の一つではあるが、絶縁基板あるいは絶縁膜上に600℃以下の低温プロセスで形成される結晶性ケイ素膜を利用した半導体装置に対しては、この技術だけでは十分なものではなく、更にその高性能化を図るためには新たな飛躍が必要である。

【0020】また、結晶性ケイ素膜の高品質化を目的として提案されている特開平5-55142号公報あるいは特開平5-136048号公報記載の技術では、注入窓を通して選択的にSi<sup>+</sup>イオンやSi粒子を非晶質ケイ素膜中に導入して結晶成長核を形成するが、その注入窓の内部での結晶核の発生は一つではなく、多数の結晶核が発生し、個々の結晶成長の核から結晶成長が起こる。したがって、実際にはSi<sup>+</sup>イオンあるいはSi粒子の一つの注入窓を中心とした単一の結晶粒はできず、注入窓内に発生した多数の核により結晶粒界が形成される。

【0021】よって、特開平5-55142号公報あるいは特開平5-136048号公報では、実際に結晶粒界を制御することは不可能である。さらに、結晶核となるSi<sup>+</sup>イオンあるいはSi粒子を選択導入する際に注入マスクが必要であることから、本来の半導体装置の製造プロセスには直接関係のない余分な工程が増えることになる。よって生産性の面でのデメリットが大きく、結果として製品の高コスト化につながる。

【0022】さらに、安価なガラス基板を使用する際には、結晶化のための加熱処理工程における基板の縮み、

10

20

30

40

50

反りなどの問題が発生する。例えば、アクティブマトリクス型の液晶表示装置に一般に用いられるコーニング7059ガラス（コーニング社商品名）はガラス歪点が593℃であり、基板の面積化を考慮した場合、これ以上の温度による加熱には問題がある。

【0023】それに対して、従来の固相結晶化法を用いた場合には、その出発a-Si膜の成膜法や条件にもよるが、最低600℃の加熱温度で20時間以上の熱処理が必要である。特開平3-4564号公報では、500～700℃の温度で長時間アニールを行うと記載されているが、その実施例で述べられているa-Si膜の固相結晶化においては、実際には最低600℃の加熱温度で20時間以上のアニール時間が必要である。また、特開平5-55142号公報記載の技術では、温度600℃で40時間の加熱処理により結晶化を行っている。また、特開平5-136048号公報のものでは、加熱温度650℃以上の熱処理を行っている。ゆえに、これらの技術はSOI（Silicon-On-Insulator）基板やSOS（Silicon-On-Sapphire）基板には有効な技術であるが、これらの技術を用いて安価なガラス基板に結晶性ケイ素膜を作製し半導体素子を形成することは困難であった。

【0024】本発明は、上記問題点を解決するためになされたもので、通常の固相成長法で得られる結晶性よりさらに高い結晶性をもつ高品質な結晶性ケイ素膜を、生産性よく形成できるとともに、半導体層／絶縁膜界面を清浄な状態に保つことができ、しかもこの際結晶化に要する加熱温度を580℃以下とし、コーニング7059ガラスに代表される安価なガラス基板を使用可能とできる半導体装置及びその製造方法を得ることが本発明の目的である。

【0025】

【課題を解決するための手段】そこで、本件発明者らは、上記目的を達成するため鋭意研究した結果、非晶質ケイ素膜の表面にニッケルやパラジウム、さらには鉛等の金属元素を微量に導入させ、しかる後に加熱処理することで、550℃、4時間程度の処理時間で非晶質ケイ素膜の結晶化が行えることを見出した。

【0026】このメカニズムは、まず金属元素を核とした結晶核発生が加熱処理の早期に起こり、その後その金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行すると考えることで理解される。そういった意味でこれらの金属元素を触媒元素と呼ぶ。これらの触媒元素により結晶化が助長されて結晶成長した結晶性ケイ素膜の結晶粒内は、通常の固相成長法で一つの結晶核から成長した結晶粒が双晶構造であるのに対して、何本もの針状結晶あるいは柱状結晶が織り込まれて構成されており、しかもそれぞれの針状結晶あるいは柱状結晶内部は理想的な単結晶状態となっている。

【0027】さらに、非晶質ケイ素膜の一部分に選択的に触媒元素を導入することにより、その導入領域でのみ

上述のような低温結晶化が起き、それ以外の部分は非晶質ケイ素膜として残るといった現象が生じる。その後、熱処理を継続すると、選択的に触媒元素が導入され結晶化している部分から、その周辺部の非晶質部分へと横方向（基板表面に平行な方向）に結晶成長部分が延びる現象が起きる。この横方向結晶成長領域では、その成長方向に沿って基板と平行に針状あるいは柱状の結晶が一次的に延びており、その成長方向においては結晶粒界が存在していない。故に、この横方向結晶成長領域を利用して半導体装置の活性領域を形成することにより、高性能な半導体装置が実現可能となる。

【0028】本発明者らは、半導体層と絶縁性薄膜とを連続形成し、しかも該横方向結晶成長領域を半導体層とすることで、半導体層と絶縁性薄膜との界面を清浄に保つことができるだけでなく、特開平3-4564号公報では問題となっていた絶縁性薄膜下の半導体の結晶欠陥の影響による界面の欠陥準位を大きく低減できることを見いだした。さらに、それに加えて、レーザー光あるいは強光を横方向結晶成長領域に照射することで、結晶粒界部が集中的に処理され、その結晶粒内の結晶性も助長されて、基板全面にわたって単結晶状態に近い非常に良好な結晶性を示す結晶性ケイ素膜が得られ、その絶縁性薄膜との界面特性も大きく向上できることを発見した。

【0029】上記のように結晶性ケイ素膜にレーザー光あるいは強光を照射した場合、結晶性ケイ素膜と非晶質ケイ素との融点の相違から結晶性粒界部が集中的に処理される訳であるが、通常の固相成長法で形成した結晶性ケイ素膜では、結晶構造が双晶状態であるため、レーザー光照射後も結晶粒界内部は双晶欠陥として残り、それほど大きな効果は得られない。一方上記横方向結晶成長領域は、針状結晶性あるいは柱状結晶が一次的に整然と並んだ構造であり、その内部はほぼ単結晶状態であるために、レーザー光あるいは強光の照射で結晶粒界部が処理され、大きな効果が得られる訳である。

【0030】特に、MOS型トランジスタにおいては、そのトランジスタ動作のポイントである半導体層／ゲート絶縁膜界面の特性向上に対して、本件発明者らが見出した結晶化方法を適用することができ、これによって半導体層の良好な結晶性と、半導体層と絶縁性薄膜の良好な界面特性のため、大きな効果が得られ、大幅な性能アップができる。さらに、本件発明者らが見出した結晶化方法では、半導体層である結晶性ケイ素膜の作製温度が580℃以下と低温なため、ガラス基板上に形成される薄膜トランジスタの高性能化に特に有効である。

【0031】ところで、上記のような構造の半導体装置を実際に作製するためには、いくつかの問題をクリアする必要がある。まず、最初の問題点としては、本発明者らが見出した上記の結晶性ケイ素膜の製造方法では、半導体層形成後に触媒元素を選択導入する工程が必要なため、従来の固相成長法に比べ、半導体層と絶縁性

10

20

30

40

50

薄膜の連続形成が困難であるというものであった。

【0032】まず、本発明者らは、半導体層の表面ではなく、半導体層を形成する前工程においてその下層（下地膜）に触媒元素を選択導入した後、非晶質ケイ素膜を形成し、下層から触媒元素を拡散させ結晶化を起こさせることで、半導体層及び絶縁性薄膜の連続形成が可能になるか試みた。その結果、この方法でも結晶化は行われ、半導体層及び絶縁性薄膜の連続形成が可能であることを確認した。しかしながら、この方法では、半導体層成膜前にその下地膜表面に触媒元素を添加することになり、下地膜中にも触媒元素が拡散し、半導体層に添加された触媒元素の濃度をきちんと管理することができないという大きな問題点があった。また、この方法により得られたTFTは、期待していたような高性能な特性を示さなかった。

【0033】そこで、本発明者らは、半導体層表面から触媒元素を導入し、半導体層及び絶縁性薄膜を連続形成する方法について研究した。触媒元素を非晶質ケイ素膜表面に選択的に導入するためには、開平5-55142号公報あるいは特開平5-136048号公報にも記載されているような注入マスクが必要である。特開平5-55142号公報および特開平5-136048号公報では、注入マスクとしてレジストを用いているが、これでは、半導体層及び絶縁性薄膜を連続形成することは全く不可能である。本発明者らは、触媒元素の注入マスクとして絶縁性薄膜を用い、その絶縁性薄膜を利用して半導体層と絶縁性薄膜との界面を形成する方法を考案した。この方法では、非晶質ケイ素膜及び絶縁性薄膜を真空を破らずに連続形成でき、その後、その絶縁性薄膜に注入口を設けて触媒元素を非晶質ケイ素膜に添加しアニールすることで、該触媒の添加部分から横方向に結晶成長が行える。

【0034】しかしながら、上記の方法にも欠点があった。触媒元素を非晶質ケイ素膜に選択的に添加する際、注入マスクとして利用している絶縁性薄膜表面にも同様に添加され、絶縁性薄膜の特性を著しく劣化させてしまう。したがって、マスクとして利用した絶縁性薄膜は、それ以外の工程、特にMOS型トランジスタのゲート絶縁膜には、とても利用することができないことが判明した。

【0035】本発明者らは、以上のような試行錯誤の末に、有用な2つの半導体装置の製造方法を見いだした。

【0036】この第1の製造方法では、非晶質ケイ素膜及び絶縁性薄膜を連続形成した後、パターンニングした該絶縁性薄膜をマスクとして触媒元素を添加し、加熱処理により、その触媒元素の添加部分を結晶化し、さらにこの結晶化部分から非晶質ケイ素膜を基板に平行な方向に結晶成長させる。この地点では、マスクとして用いた絶縁性薄膜の表面近傍には触媒元素が拡散しており、TFT

Tなどのゲート絶縁膜としては使用出来ない状態である。よって、ここで、絶縁性薄膜を表面から一定の厚さまでエッチングで除去することにより、触媒元素に犯されている絶縁性薄膜の領域を取り去り、残りの絶縁性薄膜を利用して半導体素子を形成する。このような方法を用いて、TFTの半導体層及びゲート絶縁膜を作製した場合、通常の固相成長法を用いた場合に比べ、その電界効果移動度が2倍以上のTFTが得られ、その閾値電圧も非常に安定する。

【0037】さらに、横方向に結晶成長させた領域にレーザー光または強光を照射し、その結晶性を助長する工程を経てTFTを作製した場合には、通常の固相成長法を用いた場合に比べ、その電界効果移動度は4倍以上にもなり、レーザー結晶化のみで活性領域を作製した場合に特に問題となる基板内での素子特性のばらつきも問題とならないレベルまで抑えることができた。また、触媒元素の注入マスクを全て除去せず、プロセスに利用することで、プロセスの簡略化が図れる。

【0038】上述の本発明者らが見出した半導体装置の製造方法を、さらに有効とするには、絶縁性薄膜を均一に表面から一定量エッチング除去する工程で、その際のエッチング除去する絶縁性薄膜の厚さを、非晶質ケイ素膜の結晶化のための加熱処理工程における触媒元素の絶縁性薄膜中での拡散距離以上の厚さとするのが望ましい。

【0039】これにより、絶縁膜中に含まれる触媒元素の濃度をほぼゼロにすることができる。このとき最初に成膜する絶縁性薄膜の膜厚は、上記のように後の工程で除去される厚さを見越して、最終的な設定膜厚に対して予め厚めに設定する必要がある。

【0040】また第2の製造方法としては、基板上に非晶質ケイ素膜及び絶縁性薄膜を連続形成した後、絶縁性薄膜上に触媒元素に対する拡散防止膜を形成し、非晶質ケイ素膜を結晶化させる熱処理工程で絶縁性薄膜中に触媒元素が拡散するのを防ぐ方法が考えられる。この場合には、絶縁性薄膜および拡散防止膜をマスクとして、非晶質ケイ素膜に触媒元素を選択的に導入することになる。拡散防止膜中には不必要な触媒元素がトラップされており、非晶質ケイ素膜を基板表面に対し平行な方向に結晶成長を行わせた後、拡散防止膜を除去することで余分な（非晶質ケイ素膜の結晶成長に寄与しない）触媒元素を排除することができる。このような製造方法を利用してTFTを作製した場合には、前記の製造方法で得られたTFTと同等の性能のものが得られる。また、前記の場合と同様、レーザー光または強光を照射した場合にも、大きな効果が得られる。

【0041】上述の本発明者らが見出した半導体装置の製造方法をさらに有効とするには、拡散防止膜の厚さを、非晶質ケイ素膜の結晶化の加熱処理の際、触媒元素が拡散防止膜中で拡散する距離以上の厚さとするのが

望ましい。これにより、絶縁膜中に含まれる触媒元素の濃度をほぼゼロにすることができる。

【0042】ここで、拡散防止膜としては、触媒元素の拡散係数がケイ素膜より小さな膜であれば良いが、ケイ素膜への影響を考慮してケイ素化合物である酸化ケイ素膜あるいは窒化ケイ素膜を用いるのが最も望ましい。これらの膜であれば、触媒元素の拡散係数は、非晶質ケイ素膜に比べ $1/1000$ 以下の値であり、全く問題はない。また、絶縁性薄膜として酸化ケイ素膜を用いた場合には、拡散防止膜として窒化ケイ素膜を用いることで、

拡散防止膜を除去する際に酸化ケイ素膜と窒化ケイ素膜との間で十分なエッチング選択性が得られ、プロセスに使用する絶縁性薄膜の膜厚が前記の方法に比べ管理しやすいという利点がある。

【0043】本件発明者らによる上述の2つの製造方法においては触媒元素を導入する方法としては、イオン注入による方法や、スパッタリング法により極薄膜を形成することで微量導入を行う方法、さらにはプラズマ処理により微量添加を行う方法などが利用できる。プラズマ処理とは、プラズマCVD装置において、電極として触媒元素を含んだ材料を用い、窒素または水素の雰囲気

でプラズマを生じさせることによって非晶質ケイ素膜に触媒元素の添加を行う方法である。しかしながら、これらの方法により非晶質ケイ素膜に触媒元素を導入した場合には、熱処理を行う以前に既に触媒元素が非晶質ケイ素膜中のかなりの深さの部分まで侵入していると同時に、その注入マスクとなる絶縁性薄膜にも膜中深く入り込んでいる。したがって、上述のように注入マスクとして利用した絶縁性薄膜を後のプロセスで素子の一部として利用するためには、触媒元素は、非晶質ケイ素膜および絶縁性薄膜あるいは拡散防止膜の極表面にのみ導入されることが重要である。よって、上記のような触媒元素の導入方法はあまり適切ではない。

【0044】以上のような理由から、触媒元素の導入法としては、非晶質ケイ素膜に接するように基板全面に前記触媒元素を溶解あるいは分散させた溶液あるいは化合物を塗布する方法、あるいは触媒元素を基板表面に極薄膜蒸着する方法が有効である。これらの方法では、触媒元素は非晶質ケイ素膜および絶縁性薄膜あるいは拡散防止膜の極表面にのみ導入され、膜中深くに触媒元素が入り込むことはない。したがって、絶縁性薄膜の膜中に多量に触媒元素が入り込まず、上述の製造方法において絶縁性薄膜中の触媒元素を容易に除去することができる。よって、本発明の目的を達成することが可能となる。

【0045】ここで非晶質ケイ素膜に導入する触媒元素の濃度としては、低ければ低いほど良いが、あまりに低いと非晶質ケイ素膜の結晶化を助長するように機能しない。本発明者らが調べた結果、結晶化が起こる触媒元素の最低濃度は $1 \times 10^{16} \text{ atoms/cm}^3$ であり、これ以下の濃度では触媒元素による結晶成長は起こらな

い。

【0046】また、触媒元素の濃度が高いと素子への影響が問題となる。触媒元素が高い場合に起こる現象としては、主にTFTのオフ領域でのリーク電流の増大がある。これは、触媒元素がケイ素膜中で形成する不純物準位が影響しており、その準位を介したトンネル電流によるものと理解される。本発明者らが調べた結果、素子への影響が現れない程度の触媒元素の最高濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ である。よって、触媒元素の膜中濃度として $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であれば、最も効果的に触媒元素が機能することになる。

【0047】また、本件発明者らが見出した触媒元素を用いる結晶化方法は、触媒元素としてNiを用いた場合に最も顕著な効果を得ることができるが、その他利用できる触媒元素の種類としては、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Sb、Alが挙げられる。これらから選ばれた一種または複数種類の元素であれば、微量で結晶化助長の効果があるため、半導体素子への影響の問題はない。

【0048】本発明は、このような本件発明者等の鋭意研究の結果得られたものである。

【0049】(1)本発明に係る半導体装置は、絶縁性表面を有する基板と、該基板の絶縁性表面上に形成され、非晶質ケイ素膜を結晶化してなる活性領域と、該活性領域上に形成された絶縁性薄膜とを備え、該活性領域が、その近傍の結晶化領域から基板表面に対して平行な方向に結晶成長が進んで形成された横方向結晶成長領域の一部からなり、前記結晶化領域が、非晶質ケイ素膜の加熱処理による結晶化を助長する触媒元素を導入した領域であり、そのことにより上記目的が達成される。

【0050】(2)本発明に係る半導体装置は、絶縁性表面を有する基板と、該基板の絶縁性表面上に形成され、非晶質ケイ素膜を結晶化してなる活性領域と、該活性領域上に形成された絶縁性薄膜とを備え、該活性領域が、その近傍の結晶化領域から基板表面に対して平行な方向に結晶成長が進んで形成された、その結晶粒がほぼ単結晶状態である横方向結晶成長領域の一部からなり、前記結晶化領域が、非晶質ケイ素膜の加熱処理による結晶化を助長する触媒元素を導入した領域であり、そのことにより上記目的が達成される。

【0051】(3)本発明は、上記半導体装置において、MOS型トランジスタを備え、そのゲート絶縁膜を前記絶縁性薄膜から構成したものである。

【0052】(4)本発明において好ましくは、前記活性領域近傍の結晶化領域における触媒元素の濃度が、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ である。

【0053】(5)本発明において好ましくは、前記活性領域近傍の結晶化領域は、触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、A



1、P、As および Sb の内の一種または複数種類の元素を含む。

【0054】(6) 本発明に係る半導体装置の製造方法は、基板上に非晶質ケイ素膜及び絶縁性薄膜を真空を破らずに続けて形成する工程と、該絶縁性薄膜をパターニングした後、該絶縁性薄膜をマスクとして非晶質ケイ素膜の一部に、その結晶化を助長する触媒元素を選択的に導入する工程と、加熱処理によって、該非晶質ケイ素膜の、触媒元素を導入した部分を結晶化させる工程と、続く加熱処理によってこの結晶化した部分から基板表面に

10 対しほぼ平行な方向へ結晶成長を行って、該非晶質ケイ素膜中に横方向結晶成長領域を形成する工程と、該絶縁性薄膜を均一に表面から一定量エッチング除去する工程と、該横方向結晶成長領域から半導体素子の活性領域を形成する工程とを含んでおり、そのことにより上記目的が達成される。

【0055】(7) 本発明に係る半導体装置の製造方法は、基板上に非晶質ケイ素膜及び絶縁性薄膜を真空を破らずに続けて形成する工程と、該絶縁性薄膜をパターニングした後、該絶縁性薄膜をマスクとして非晶質ケイ素膜の一部に、その結晶化を助長する触媒元素を選択的に導入する工程と、加熱処理によって、該非晶質ケイ素膜の、触媒元素を導入した部分を結晶化させる工程と、続く加熱処理によってこの結晶化した部分から基板表面に

20 対しほぼ平行な方向へ結晶成長を行って、該非晶質ケイ素膜中に横方向結晶成長領域を形成する工程と、該絶縁性薄膜を均一に表面から一定量エッチング除去する工程と、レーザー光あるいは強光を該横方向結晶成長領域に照射して、その結晶の処理を行う工程と、該処理を行った横方向結晶成長領域から半導体素子の活性領域を形成する工程とを含んでおり、そのことにより上記目的が達成される。

【0056】(8) 好ましくは、上記半導体装置の製造方法において、前記絶縁性薄膜のエッチングにより除去する厚さを、前記加熱処理の際触媒元素が該絶縁性薄膜

30 中で拡散する距離以上の厚さとする。

【0057】(9) 本発明に係る半導体装置の製造方法は、基板上に非晶質ケイ素膜及び絶縁性薄膜を真空を破らずに続けて形成する工程と、該絶縁性薄膜上にこれを覆うよう、該非晶質ケイ素膜の結晶化を助長する触媒元素の該絶縁性薄膜への拡散を防止する拡散防止膜を形成する工程と、該絶縁性薄膜および拡散防止膜をパターニングした後、これらの膜をマスクとして、該非晶質ケイ素膜の一部に、その結晶化を助長する触媒元素を選択的に導入する工程と、加熱処理によって、該非晶質ケイ素膜の、触媒元素を導入した部分を結晶化させる工程と、続く加熱処理によってこの結晶化した部分から基板表面に

40 対しほぼ平行な方向へ結晶成長を行って、該非晶質ケイ素膜中に横方向結晶成長領域を形成する工程と、該拡散防止膜を除去する工程と、該横方向結晶成長領域

から半導体素子の活性領域を形成する工程とを含んでおり、そのことにより上記目的が達成される。

【0058】(10) 本発明に係る半導体装置の製造方法は、基板上に非晶質ケイ素膜及び絶縁性薄膜を真空を破らずに続けて形成する工程と、該絶縁性薄膜上にこれを覆うよう、該非晶質ケイ素膜の結晶化を助長する触媒元素の該絶縁性薄膜への拡散を防止する拡散防止膜を形成する工程と、該絶縁性薄膜および拡散防止膜をパターニングした後、これらの膜をマスクとして、該非晶質ケイ素膜の一部に、その結晶化を助長する触媒元素を選択的に導入する工程と、加熱処理によって、該非晶質ケイ素膜の、触媒元素を導入した部分を結晶化させる工程と、続く加熱処理によってこの結晶化した部分から基板表面に

50 対しほぼ平行な方向へ結晶成長を行って、該非晶質ケイ素膜中に横方向結晶成長領域を形成する工程と、該拡散防止膜を除去する工程と、レーザー光あるいは強光を該横方向結晶成長領域に照射して、その結晶の処理を行う工程と、該処理を行った横方向結晶成長領域から半導体素子の活性領域を形成する工程とを含んでおり、そのことにより上記目的が達成される。

【0059】(11) 好ましくは、前記拡散防止膜の厚さは、前記非晶質ケイ素膜の結晶化のための加熱処理の際、前記触媒元素が該拡散防止膜中で拡散する距離以上の厚さとする。

【0060】(12) 好ましくは、前記拡散防止膜として、酸化ケイ素膜あるいは窒化ケイ素膜を用いる。

【0061】(13) 好ましくは、半導体装置の製造方法は、前記絶縁性薄膜から薄膜トランジスタのゲート絶縁膜を形成する工程を含んでいる。

30 【0062】(14) 好ましくは、前記非晶質ケイ素膜の一部にその結晶化を助長する触媒元素を選択的に導入する工程では、該非晶質ケイ素膜の一部に接するよう、該触媒元素を溶解あるいは分散させた溶液あるいは化合物を塗布する。

【0063】(15) 好ましくは、前記非晶質ケイ素膜の一部にその結晶化を助長する触媒元素を選択的に導入する工程では、該非晶質ケイ素膜の一部に接するよう、該触媒元素を蒸着する。

40 【0064】(16) 好ましくは、触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、Al、P、As および Sb の内の一種または複数種類の元素を用いる。

【0065】

【作用】本発明の半導体装置においては、基板の絶縁性表面に形成される活性領域の近傍に、非晶質ケイ素膜の加熱処理による結晶化を助長する触媒元素を導入した領域があるため、この領域を低温処理により非晶質から多結晶にできる。しかも、続く低温処理により、該結晶化した領域を基板表面に対して平行な方向に延ばして横方向結晶成長領域を形成でき、この横方向結晶成長領域を

活性領域として利用できる。

【0066】このため、非晶質ケイ素膜の結晶化により得られる、上記活性領域を構成する結晶性ケイ素膜を、通常の固相成長法で得られる結晶性よりさらに高い結晶性を有するものとできる。

【0067】また、活性領域の結晶性が良好であるため、該活性領域とその上の絶縁膜との連続形成により、これらの界面を清浄な状態に保つことにより、該界面での欠陥準位を効果的に低減することができる。

【0068】また、非晶質ケイ素膜の加熱による結晶化は、触媒元素により助長されるため、高品質な結晶性ケイ素膜を生産性よく形成できる。しかもこの際結晶化に要する加熱温度が580℃以下となるため、コーニング7059ガラスに代表される安価なガラス基板を使用可能とできる。

【0069】また、上記横方向結晶成長領域の結晶粒がほぼ単結晶状態であるため、非晶質ケイ素膜の加熱処理により得られたこの領域に、レーザ光あるいは強光の照射処理を施すことにより、活性領域を構成するケイ素膜の結晶性をさらに向上でき、該活性領域でのキャリアの電界効果移動度を一層向上できる。

【0070】また、上記絶縁性薄膜をMOS型トランジスタのゲート絶縁膜として用いることにより、トランジスタの特性を安定させ、リーク電流を低減することができる。

【0071】また、上記活性領域における触媒元素の膜中濃度を、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  とすることにより、触媒元素を効果的に機能させることができる。

【0072】本発明の半導体装置の製造方法においては、基板上に非晶質ケイ素膜及び絶縁性薄膜を、真空を破らずに続けて形成するので、これらの膜の界面を清浄な状態に保持することができる。

【0073】また、上記非晶質ケイ素膜に、該非晶質ケイ素膜の結晶化を助長する触媒元素を導入し、その後該触媒元素を導入した非晶質ケイ素膜を加熱によって結晶化させるようにしたので、この領域を低温処理により非晶質から多結晶にできる。しかも、続く低温処理により、該結晶化した領域を基板表面に対して平行な方向に延ばして横方向結晶成長領域を形成でき、この横方向結晶成長領域を活性領域として利用できる。

【0074】このため、非晶質ケイ素膜の結晶化により得られる、上記活性領域を構成する結晶性ケイ素膜を、通常の固相成長法で得られる結晶性よりさらに高い結晶性を有するものとできる。

【0075】しかもこの際結晶化に要する加熱温度が580℃以下となり、基板として、コーニング7059ガラスに代表される安価なガラス基板を使用できる。

【0076】また、上記横方向結晶成長領域にレーザ光あるいは強光を照射して、結晶の処理を行うようにし

たので、活性領域を構成する結晶性ケイ素膜の結晶性をさらに高めることができ、活性領域でのキャリアの電界効果移動度を一層向上できる。

【0077】

【実施例】

【実施例1】図1(a)、(b)は本発明の第1の実施例による薄膜トランジスタ及びその製造方法を説明するための平面図、図2は図1(a)のA-A'線部分に対応する断面図であり、図2(a)ないし図2(f)は、本実施例のTFETの製造方法を工程順に示している。

【0078】図において、100はN型薄膜トランジスタ(TFET)10を有する半導体装置で、該TFET10は、ガラス基板101上に酸化ケイ素膜等の絶縁性下地膜102を介して形成されている。該絶縁性下地膜102上には、上記TFETを構成する島状の結晶性ケイ素膜103iが形成されている。この結晶性ケイ素膜103iの中央部分は、チャネル領域110となっており、その両側部分は、ソース、ドレイン領域111、112となっている。上記チャネル領域110上には、ゲート絶縁膜104を介してアルミニウムゲート電極108が設けられている。このゲート電極108の表面は酸化物層109により被覆されている。上記TFET10はその全面が層間絶縁膜113により覆われており、該層間絶縁膜113の、ソース、ドレイン領域111、112に対応する部分には、コンタクトホール113aが形成されている。上記ソース、ドレイン領域111、112はこのコンタクトホール113aを介して電極配線114、115に接続されている。

【0079】そしてこの実施例では、上記結晶性ケイ素膜103iは、その近傍の結晶化ケイ素領域103aから基板表面に対して平行な方向に結晶成長が進んで形成された横方向結晶領域103bの一部である。該結晶化ケイ素領域103a及び横方向結晶領域103bは、非晶質ケイ素膜の加熱処理による結晶化を助長する触媒元素(Ni)を含み、この膜中の結晶粒がほぼ単結晶状態の針状結晶あるいは柱状結晶からなっているものである。

【0080】この実施例のTFET10は、アクティブマトリクス型の液晶表示装置のドライバ回路や画素部分を構成する素子として用いることができることは勿論、これらの回路や画素部分と同一基板上に搭載したCPUを構成する素子としても用いることができる。なお、TFETの応用範囲としては、液晶表示装置のみではなく、一般に言われる薄膜集積回路に利用できることは言うまでもない。

【0081】次に製造方法について説明する。ここでは、ガラス基板上にN型TFET10を作製するプロセスについて説明する。

【0082】まず、ガラス基板101上に例えばスパッタリング法によって厚さ200nm程度の酸化ケイ素が

らなる下地膜 102 を形成する。この酸化ケイ素膜は、ガラス基板 101 からの不純物の拡散を防ぐために設けられる。

【0083】次に、図 2 (a) に示すように厚さ 25 ~ 100 nm、例えば 80 nm の真性 (I 型) の非晶質ケイ素膜 (a-Si 膜) 103 を成膜し、そのまま真空中にて例えば厚さ 200 nm の酸化ケイ素膜 104 を連続して成膜する。このように真空を破ることなく、半導体層及び絶縁膜を連続形成することで、半導体層とゲート絶縁膜との界面を清浄に保つことができ、後に完成する TFT の信頼性の向上や高性能化につながる。上記のような半導体層及び絶縁膜を大気中に取り出さずに連続して形成する方法としては、プラズマ CVD 法が一般的で、その他、スパッタリング法、光 CVD 法、電子ビーム蒸着法などがある。

【0084】本実施例では、a-Si 膜及び酸化ケイ素膜の連続形成を RF プラズマ CVD 法で行った。a-Si 膜の形成には、シラン (SiH<sub>4</sub>) ガスを原料とし、基板温度 150 ~ 400 °C、好ましくは 200 ~ 300 °C にて分解、堆積した。また、酸化ケイ素膜の形成には、TEOS (Tetra Ethoxy Silan) を原料とし、酸素とともに基板温度 150 ~ 600 °C、好ましくは 300 ~ 450 °C で分解、堆積した。ちなみに、上記 TEOS は、Si 原子、O 原子などを含む常温では液状の有機材料であり、層間絶縁膜などの形成に用いられ、段差被覆性に優れた絶縁膜を得ることができるものである。

【0085】次に、この酸化ケイ素膜 104 の所望の位置にスルーホール 104a を形成し、スリット状に a-Si 膜 103 を露呈する。即ち、図 2 (a) の状態を上面から見ると、a-Si 膜 103 が酸化ケイ素膜 104 のスルーホール 104a を介して領域 100a でスリット状に露呈しており、他の部分はマスクされている状態となっている。ここでは、図 1 (a) のように、ソース、ドレイン領域 111、112 が横方向結晶成長の方向 106 に並ぶ配置で TFT 10 を作製するが、図 1 (b) のように、ソース、ドレイン領域 111、112 が上記方向 106 に垂直な方向に並ぶ配置でも同様の方法で全く問題なく TFT を作製できる。

【0086】次に、図 2 (b) に示すように、例えば酢酸ニッケルあるいは硝酸ニッケル等のニッケル塩の水溶液 105 を基板全面に塗布し、その後スピナーにて均一に乾燥させる。この際の水溶液中のニッケル濃度は 50 ~ 200 ppm が適当で、好ましくは 100 ppm である。上記領域 100a では、析出した Ni イオンが a-Si 膜 103 と接触しており、該領域 100a にニッケル微量添加が選択的に行われたことになる。そして、この領域 100a を水素還元雰囲気下 (好ましくは、水素の分圧が 0.1 ~ 1 気圧) または不活性雰囲気下 (大気圧)、加熱温度 520 ~ 580 °C で数時間から数十時間、例えば 550 °C で 16 時間アニールして結晶化

させる。

【0087】この際、まず、ニッケル微量添加が行われた領域 100a において、基板 101 に対して垂直方向に非晶質ケイ素膜 103 の結晶化が起こり、結晶性ケイ素膜 103a が形成される。そして、この結晶化領域 103a の周辺領域で、図 1 (a) および図 2 (c) において矢印 106 で示すように、領域 100a から横方向 (基板と平行な方向) に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜 103b が形成される。それ以外の非晶質ケイ素膜領域は、そのまま非晶質ケイ素膜 103c として残る。なお、上記結晶成長に際し、矢印 106 で示される基板と平行な方向の結晶成長の距離は、80 μm 程度である。また、ニッケル微量添加が直接行われ結晶化した領域 103a 中のこのときのニッケル濃度は  $1 \times 10^{18} \text{ cm}^{-3}$  であり、横方向結晶成長した領域 103b 中のニッケル濃度は  $5 \times 10^{18} \text{ cm}^{-3}$  程度であった。

【0088】次に、酸化ケイ素膜 104 の表面をある一定量エッチング除去する。このときのエッチング量としては、先の加熱処理工程においてニッケルが酸化ケイ素膜 104 表面からその内部に拡散した厚さ以上であることが好ましい。本実施例では、エッチャントとして 1 : 10 バッファードフッ酸 (BHF) を用い、酸化ケイ素膜 104 を表面から 100 nm エッチングした。よって、残りの酸化ケイ素膜 104 の厚さは 100 nm となり、その膜中には絶縁膜の特性を極めて悪化させる金属元素 (ここではニッケル) がほぼ存在していない。以上の工程により、触媒元素 (ニッケル) 選択導入時のマスク膜として利用した酸化ケイ素膜 104 をゲート絶縁膜 107 として再利用することが可能となる。

【0089】次に、図 2 (d) に示すように、不要な部分のケイ素膜 103 を除去して素子間分離を行い、後に TFT の活性領域 (ソース、ドレイン領域、及びチャネル領域) となる島状の結晶性ケイ素膜 103i を形成する。このときケイ素膜 103b 上の酸化ケイ素膜 (ゲート絶縁膜) 107 は、島状の結晶性ケイ素膜 103i と同様の形状にパターニングされる。

【0090】引き続き、スパッタリング法によって、厚さ 400 ~ 800 nm、例えば 600 nm のアルミニウムを成膜する。そして、アルミニウム膜をパターニングして、ゲート電極 108 を形成する。さらに、このアルミニウム電極の表面を陽極酸化して、表面に酸化物層 109 を形成する (図 2 (e))。ここで陽極酸化は、酒石酸が 1 ~ 5 % 含まれたエチレングリコール溶液中で行い、最初一定電流で 220 V まで電圧を上げ、その状態を 1 時間保持して処理を終了させる。得られた酸化物層 109 の厚さは 200 nm である。なお、この酸化物層 109 は、後のイオンドーピング工程において、オフセットゲート領域の長さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0091】次に、イオンドーピング法によって、ゲート電極108とその周囲の酸化物層109をマスクとして活性領域に不純物（リン）を注入する。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）を用い、加速電圧を60～90 kV、例えば80 kV、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域111、112は後にTFTのソース、ドレイン領域となり、ゲート電極108およびその周囲の酸化層109にマスクされ不純物が注入されない領域110は、後にTFTのチャンネル領域となる。

【0092】その後、図2（e）に示すように、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはXeClエキシマレーザー

（波長308 nm、パルス幅40 nsec）を用い、エネルギー密度150～400 mJ/cm<sup>2</sup>、好ましくは200～250 mJ/cm<sup>2</sup>で照射を行った。こうして形成されたN型不純物（リン）領域111、112のシート抵抗は、200～800 Ω/□であった。

【0093】続いて、厚さ600 nm程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜113として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、 $\text{SiH}_4$ と $\text{NH}_3$ を原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いれば、活性領域/ゲート絶縁膜界面へ水素原子を供給し、TFT特性を劣化させる不對結合手を低減する効果がある。

【0094】次に、層間絶縁膜113にコンタクトホール113aを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTの電極配線114、115を形成する。この際、窒化チタンは、アルミニウムの半導体層への拡散を防止するためのバリア膜として作用する。そして最後に、1気圧の水素雰囲気中で350℃、30分のアニールを行い、図2（f）に示すTFT10を完成させる。

【0095】本TFTを、画素電極をスイッチングする素子として用いる場合には電極114及び115の一方をITOなど透明導電膜からなる画素電極に接続し、もう一方の電極より信号を入力する。また、本TFTを薄膜集積回路に用いる場合には、ゲート電極108上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0096】以上の実施例にしたがって作製したN型TFTは、電界効果移動度100～130 cm<sup>2</sup>/Vs、閾値電圧1～2 Vという良好な特性を示した。基板内におけるTFT特性のばらつきは、電界効果移動度で±1

2%で、閾値電圧で±8%以内であった。

【0097】このように本実施例では、基板1の表面の酸化ケイ素膜102上に非晶質ケイ素膜103及び酸化ケイ素膜104を、真空を破らずに続けて形成するので、これらの膜の界面を清浄な状態に保持することができる。

【0098】また、上記非晶質ケイ素膜103に、該非晶質ケイ素膜の結晶化を助長する触媒元素を部分的に導入し、その後該触媒元素を導入した領域を加熱によって結晶化させるようにしたので、この領域103aを低温処理により非晶質から多結晶にできる。しかも、続く低温処理により、該結晶化した領域を基板表面に対して平行な方向に延ばして横方向結晶成長領域103bを形成でき、この横方向結晶成長領域を活性領域103iとして利用できる。

【0099】このため、非晶質ケイ素膜の結晶化により得られる、上記活性領域を構成する結晶性ケイ素膜を、通常の固相成長法で得られる結晶性よりさらに高い結晶性を有するものとできる。

【0100】しかもこの際結晶化に要する加熱温度が580℃以下となり、基板として、コーニング7059ガラスに代表される安価なガラス基板を使用できる。

【0101】また、上記横方向結晶成長領域103b上の酸化ケイ素膜107を、MOS型トランジスタのゲート絶縁膜として用いたので、トランジスタのリーク電流を低減することができる。

【0102】また、上記触媒元素を導入した領域103aにおける触媒元素の膜中濃度を、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ としているため、触媒元素を効果的に機能させることができる。

【0103】〔実施例2〕図3（a）、（b）は本発明の第2の実施例による薄膜トランジスタ及びその製造方法を説明するための平面図、図4は図3（a）のB-B'線部分に対応する断面図であり、図4（a）ないし図4（f）は、本実施例のTFTの製造方法を工程順に示している。

【0104】図において、200はP型薄膜トランジスタ（TFT）20を有する半導体装置で、該TFT20は、上記第1の実施例の半導体装置におけるN型TFT10と全く同一の断面構造を有している。なお、図3及び図4中、200番台の符号を付した本実施例の構成要素は、窒化ケイ素膜からなる拡散防止膜204を除いては、図1に示す第1の実施例における100番台の符号を付した構成要素に対応するものである。

【0105】まず、ガラス基板201上に例えばスパッタリング法によって厚さ200 nm程度の酸化ケイ素からなる下地膜202を形成する。次に、図4（a）に示すように厚さ25～100 nm、例えば50 nmの真性（I型）の非晶質ケイ素膜（a-Si膜）203を成膜し、そのまま真空中にて厚さ20～150 nm、例えば

100 nmの酸化ケイ素膜207を連続して成膜する。

【0106】本実施例では、a-Si膜/酸化ケイ素膜の連続形成をRFプラズマCVD法で行った。a-Si膜の形成には、シラン(SiH<sub>4</sub>)ガスを原料とし、基板温度150~400℃、好ましくは200~300℃にて分解、堆積した。また、酸化ケイ素膜の形成には、TEOSを原料とし、酸素とともに基板温度150~600℃、好ましくは300~450℃で分解、堆積した。

【0107】その後、酸化ケイ素膜全面を覆うように例えば厚さ200 nmの窒化ケイ素膜204を基板全面に堆積する。この成膜は、SiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>の混合ガスを材料ガスとし、RFプラズマCVD法により行った。窒化ケイ素膜204は、後のa-Si膜結晶化工程の際に用いる触媒元素に対するバリア膜として作用し、酸化ケイ素膜207への触媒元素の拡散を防止する役割を果たす。よって、この窒化ケイ素膜204の膜厚としては、a-Si膜結晶化の際の加熱工程において、少なくとも触媒元素が窒化ケイ素膜中を拡散する距離以上の厚さであることが好ましい。

【0108】次に、酸化ケイ素膜207および窒化ケイ素膜204にスルーホール204aを形成し、このスルーホール204a部分にスリット状にa-Si膜203を露呈する。即ち、図4(a)の状態を上面から見ると、a-Si膜203が領域200aでスリット状に露呈しており、他の部分は酸化ケイ素膜207および窒化ケイ素膜204でマスクされている状態となっている。

【0109】ここでは、図3(a)のように、ソース、ドレイン領域211、212が横方向結晶成長の方向206に並ぶ配置でTFET20を作製するが、図3(b)のように、ソース、ドレイン領域211、212が上記方向206に垂直な方向に並ぶ配置でも同様の方法で全く問題なくTFETを作製できる。

【0110】次に、図4(b)に示すように、蒸着法によって極薄膜のニッケル膜205を成膜する。この際のニッケル膜は目で見ることには不可能な程の極薄膜であり、その堆積量はニッケル原子の面密度によって制御している。本実施例では、蒸着するニッケルの面密度を $2 \times 10^{13} \text{ cm}^{-2}$ とした。そして、これを水素還元雰囲気下または不活性雰囲気下、加熱温度520~580℃で数時間から数十時間、例えば550℃で16時間アニールして結晶化させる。

【0111】この際、ニッケル微量添加が行われた領域200aにおいては、基板201に対して垂直方向にケイ素膜203の結晶化が起こり、結晶性ケイ素膜203aが形成される。そして、領域200aの周辺領域では、図4(c)において、矢印206で示すように、領域200aから横方向(基板と平行な方向)に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜203bが形成される。それ以外の非晶質ケイ素膜領域は、その

まま非晶質ケイ素膜203cとして残る。なお、上記結晶成長に際し、矢印206で示される基板と平行な方向の結晶成長の距離は、80 μm程度である。また、ニッケル微量添加が直接行われ結晶化した領域203a中のこのときのニッケル濃度は $4 \times 10^{18} \text{ cm}^{-3}$ であり、横方向結晶成長した領域203b中のニッケル濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度であった。

【0112】その後、窒化ケイ素膜204を除去し、不要な部分の結晶性ケイ素膜203を除去して素子間分離を行う。このときケイ素膜203の上の酸化ケイ素膜207は、島状の結晶性ケイ素膜203iと同様の形状にパターニングされる。以上の工程により、後にTFETの活性領域(ソース、ドレイン領域およびチャネル領域)となる島状の結晶性ケイ素膜203iが形成される(図4(d))。前工程において、窒化ケイ素膜204は触媒元素(ここではニッケル)に対するバリア膜として作用し、酸化ケイ素膜207への触媒元素の拡散を防止している。よって、酸化ケイ素膜207中には絶縁特性を劣化させる触媒元素がほとんど混入しておらず、ここでゲート絶縁膜として利用することが可能となる。

【0113】引き続いて、スパッタリング法によって、厚さ400 nmのアルミニウムを成膜する。そして、アルミニウム膜をパターニングしてゲート電極208を形成した後、イオンドーピング法によって、ゲート電極208をマスクとして活性領域に不純物(ホウ素)を注入する。ドーピングガスとして、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、加速電圧を40 kV~80 kV、例えば65 kVとし、ドーパ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域211、212は後にTFETのソース、ドレイン領域となり、ゲート電極208にマスクされ不純物が注入されない領域210は、後にTFETのチャネル領域となる。

【0114】その後、図4(e)に示すように、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはKrFエキシマレーザー(波長248 nm、パルス幅20 nsec)を用い、エネルギー密度150~400 mJ/cm<sup>2</sup>、好ましくは200~250 mJ/cm<sup>2</sup>で照射を行った。こうして形成されたP型不純物(ホウ素)領域211、212のシート抵抗は、500~900 Ω/□であった。

【0115】続いて、厚さ600 nm程度の酸化ケイ素膜を層間絶縁膜213として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0116】次に、層間絶縁膜213にコンタクトホー

ル 213a を形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によって TFT の電極配線 214, 215 を形成する。そして最後に、水素のプラズマ雰囲気中で 350℃、30 分のアニールを行い、図 4

(f) に示す TFT 20 を完成させる。

【0117】本 TFT を、画素電極をスイッチングする素子として用いる場合には電極 214 及び 215 の一方を ITO など透明導電膜からなる画素電極に接続し、もう一方の電極より信号を入力する。また、本 TFT を薄膜集積回路に用いる場合には、ゲート電極 209 上にも

10 コンタクトホールを形成し、必要とする配線を施せばよい。

【0118】以上の本実施例にしたがって作製した P 型 TFT は、電界効果移動度  $70 \sim 90 \text{ cm}^2/\text{Vs}$ 、閾値電圧  $-4 \sim -6 \text{ V}$  という良好な特性を示した。基板内における TFT 特性のばらつきは、電界効果移動度で  $\pm 10\%$ 、閾値電圧で  $\pm 5\%$  以内であった。

【0119】このような構成の本実施例においても上記実施例 1 と同様な効果がある。

【0120】〔実施例 3〕図 5 は本発明の第 3 の実施例 20 による薄膜トランジスタ及びその製造方法を説明するための平面図、図 6 は図 5 の C-C' 線部分に対応する断面図であり、図 6 (a) ないし図 6 (f) は、本実施例の TFT の製造方法を工程順に示している。

【0121】図において、300 は本実施例の半導体装置で、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を構成する CMOS 構成の回路 30 を有している。この CMOS 構成の回路は、N 型 TFT 31 と P 型 TFT 32 とをこれらが相補的な動作を行うよう接続したものである。

【0122】該 N 型 TFT 31 と P 型 TFT 32 とはそれぞれガラス基板 301 上に酸化ケイ素膜等の絶縁性下地膜 302 を介して形成されている。該絶縁性下地膜 302 上には、上記各 TFT 31, 32 を構成する島状の結晶性ケイ素膜 303n, 303p が隣接して形成されている。この結晶性ケイ素膜 303n, 303p の中央部分は、それぞれ N チャネル領域 310, P チャネル領域 311 となっている。上記結晶性ケイ素膜 303n の両側部分は N 型 TFT の N 型ソース、ドレイン領域 312, 313、上記結晶性ケイ素膜 303p の両側部分は 40 P 型 TFT の P 型ソース、ドレイン領域 314, 315 となっている。

【0123】上記 N チャネル領域 310 及び P チャネル領域 311 上には、ゲート絶縁膜 307 を介してアルミニウムゲート電極 308 及び 309 が配設されている。また上記 TFT 31 及び 32 は全面が層間絶縁膜 316 により覆われており、該層間絶縁膜 316 の、N 型 TFT 31 のソース、ドレイン領域 312, 313 に対応する部分にはコンタクトホール 316n が、また該層間絶縁膜 316 の、P 型 TFT 32 のソース、ドレイン領域

314, 315 に対応する部分には、コンタクトホール 314p が形成されている。そして上記 N 型 TFT 31 のソース、ドレイン領域 312, 313 はこのコンタクトホール 316n を介して電極配線 317, 318 に接続されている。また上記 P 型 TFT 32 のソース、ドレイン領域 314, 315 は上記コンタクトホール 316p を介して電極配線 318, 319 に接続されている。

【0124】そして本実施例では、上記結晶性ケイ素膜 303n, 303p は、1 つの触媒元素添加領域から横方向結晶成長した、その両側の横成長結晶性ケイ素膜の一部である。

【0125】次に製造方法について説明する。

【0126】まず、図 6 (a) に示すように、ガラス基板 301 上に例えばスパッタリング法によって厚さ 200 nm 程度の酸化ケイ素からなる下地膜 302 を形成する。次に、厚さ 25 ~ 100 nm、例えば 50 nm の真性 (I 型) の a-Si 膜 303 を成膜し、そのまま真空中にて厚さ 20 ~ 150 nm、例えば 100 nm の酸化ケイ素膜 307 を連続して成膜する。

【0127】本実施例では、a-Si 膜及び酸化ケイ素膜の連続形成を RF プラズマ CVD 法で行った。a-Si 膜の形成には、シラン ( $\text{SiH}_4$ ) ガスを原料とし、基板温度 150 ~ 400℃、好ましくは 200 ~ 300℃にて分解、堆積した。また、酸化ケイ素膜の形成には、TEOS を原料とし、酸素とともに基板温度 150 ~ 600℃、好ましくは 300 ~ 450℃で分解、堆積した。

【0128】その後、酸化ケイ素膜全面を覆うように例えば厚さ 200 nm の窒化ケイ素膜 304 を基板全面に堆積する。この成膜は、 $\text{SiH}_4$ ,  $\text{NH}_3$ ,  $\text{N}_2$  の混合ガスを材料ガスとし、RF プラズマ CVD 法により行った。窒化ケイ素膜 304 は、後の a-Si 膜結晶化工程の際に用いる触媒元素に対するバリア膜として作用し、酸化ケイ素膜 307 への触媒元素の拡散を防止する役割を果たす。

【0129】次に、酸化ケイ素膜 307 および窒化ケイ素膜 304 にスルーホール 304a を形成し、そのスルーホール部分にスリット状に a-Si 膜 303 を露呈する。即ち、図 6 (a) の状態を上面から見ると、図 5 のように a-Si 膜 303 が領域 300a でスリット状に露呈しており、他の部分は酸化ケイ素膜 307 および窒化ケイ素膜 304 でマスクされている状態となっている。

【0130】次に、図 6 (b) に示すように例えば酢酸ニッケルあるいは硝酸ニッケル等のニッケル塩の水溶液を基板全面に塗布し、その後スピナーにて均一に乾燥させる。この際の水溶液中のニッケル濃度は 50 ~ 200 ppm が適当で、好ましくは 100 ppm である。上記領域 300a では、析出した Ni イオンが a-Si 膜 303 と接触しており、該領域 300a にニッケル微量

添加が選択的に行われたことになる。そして、これを水素還元雰囲気下また不活性雰囲気下、550℃で16時間アニールして結晶化させる。

【0131】この際、ニッケル微量添加が行われた領域300aにおいては、基板301に対して垂直方向にケイ素膜303の結晶化が起こり、結晶性ケイ素膜303aが形成される。そして、領域300aの周辺領域では、図6(c)において、矢印306で示すように、領域300aから横方向(基板と平行な方向)に結晶成長が行われ、横方向結晶成長した結晶性ケイ素膜303bが形成される。それ以外の非晶質ケイ素膜領域は、そのまま非晶質ケイ素膜303cとして残る。なお、上記結晶成長に際し、矢印306で示される基板と平行な方向の結晶成長の距離は、80μm程度である。また、ニッケル微量添加が直接行われ結晶化した領域303a中のこのときのニッケル濃度は $2 \times 10^{18} \text{ cm}^{-3}$ であり、横方向結晶成長した領域303b中のニッケル濃度は $8 \times 10^{18} \text{ cm}^{-3}$ 程度であった。

【0132】引き続き、窒化ケイ素膜304を除去し、レーザー光を照射することで結晶性ケイ素膜303bの結晶性を助長する。このときのレーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用いた。レーザー光の照射条件は、照射時に基板を200~450℃、例えば400℃に加熱し、エネルギー密度200~400mJ/cm<sup>2</sup>、例えば300mJ/cm<sup>2</sup>で照射した。

【0133】その後、図6(d)に示すように、後にTFTの活性領域(素子領域)303n、303pとなる結晶性ケイ素膜を残し、それ以外の領域をエッチング除去して素子間分離を行う。このときケイ素膜303上の酸化ケイ素膜307は、島状の結晶性ケイ素膜303n、303pと同様の形状にパターンニングされる。

【0134】引き続き、図6(e)に示すように、スパッタリング法によって厚さ400~800nm、例えば600nmのアルミニウム(0.1~2%のシリコンを含む)を成膜し、アルミニウム膜をパターンニングして、ゲート電極308、309を形成する。

【0135】次に、イオンドーピング法によって、活性領域303n、303pにゲート電極308、309をマスクとして不純物(リン、およびホウ素)を注入する。ドーピングガスとして、フォスフィン(PH<sub>3</sub>)およびジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、前者の場合は、加速電圧を60~90kV、例えば80kV、後者の場合は、40kV~80kV、例えば65kVとし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、ゲート電極308、309にマスクされ不純物が注入されない領域は後にTFTのチャネル領域310、311となる。ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことによって、そ

れぞれの元素を選択的にドーピングを行う。この結果、N型の不純物領域312、313、及びP型の不純物領域314、315が形成され、図6に示すようにNチャネル型TFT(NTFT)31とPチャネル型TFT(PTFT)32とを形成することができる。

【0136】その後、図6(e)に示すように、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用い、レーザー光の照射条件としては、エネルギー密度300mJ/cm<sup>2</sup>で一か所につき2ショット照射した。

【0137】続いて、図6(f)に示すように、厚さ600nmの酸化ケイ素膜を層間絶縁膜316としてプラズマCVD法によって形成し、これにコンタクトホール316n、316pを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFTの電極配線317、318、319を形成する。そして最後に、水素のプラズマ雰囲気下で350℃、30分のアニールを行い、TFT31、32を完成させる。

【0138】以上の実施例にしたがって作製したCMOS構造回路において、それぞれのTFTの電界効果移動度はN型TFTで150~200cm<sup>2</sup>/Vs、P型TFTで100~120cm<sup>2</sup>/Vsと高く、閾値電圧はN型TFTで1~2V、P型TFTで-2~-3Vと非常に良好な特性を示す。

【0139】このような構成の本実施例では、上記第1及び第2の実施例の構成に加えて、横方向結晶成長領域にレーザー光を照射して、結晶の処理を行うようにしたので、上記第1、第2の実施例の効果に加えて、活性領域を構成する結晶性ケイ素膜の結晶性をさらに高めることができ、活性領域でのキャリアの電界効果移動度を一層向上できる。

【0140】なお、上記説明では、本発明の実施例として3つの実施例を挙げたが、本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0141】例えば、前述の各実施例においては、ニッケルを導入する方法として、非晶質ケイ素膜表面にニッケル塩水溶液を塗布、あるいはニッケル極薄膜(極めて薄いので、膜として観察することは困難である)を形成することにより、選択的にニッケル微量添加を行う方法を採用した。しかし、その他のニッケルの添加方法として、イオンドーピング法を用いてニッケルイオンを非晶質ケイ素膜に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を制御することができるという特徴を有する。また、ニッケルの薄膜を成膜する代わりにNi電極を用いてプラズマ処理により、ニッケル微量添加を行うのでもよい。さらに、結晶化を助長する不純物金属元素としては、ニッケル以外にコバル



ト、パラジウム、白金、銅、銀、金、インジウム、スズ、アルミニウム、リン、ヒ素、アンチモンを用いても同様の効果が得られる。

【0142】また、本実施例では結晶性ケイ素膜の結晶性を助長する手段として、パルスレーザーであるエキシマレーザー照射による加熱法を用いたが、それ以外のレーザー（例えば連続発振Arレーザーなど）でも同様の処理が可能である。また、レーザー光の代わりに、赤外光、フラッシュランプからの出射光（強光）を使用して短時間に1000～1200℃（シリコンモニターの温度）まで上昇させ試料を加熱する、いわゆるRTA（ラピッド・サーマル・アニール）RTP（ラピッド・サーマル・プロセス）などのいわゆる加熱処理でもよい。

【0143】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL（Electroluminescence）素子等を発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元IC等が考えられ、幅広く半導体プロセス全般に応用することができる。ここで、有機系EL素子は、有機材料を発光素材とした電界発光素子である。そして本発明を用いることで、これらの素子の高速、高解像度化等の高性能化が実現できる。

#### 【0144】

【発明の効果】以上のように本発明によれば、基板上に非晶質ケイ素膜及び絶縁性薄膜を、真空を破らずに続けて形成するので、これらの膜の界面を清浄な状態に保持することができる。

【0145】また、上記非晶質ケイ素膜に、該非晶質ケイ素膜の結晶化を助長する触媒元素を導入し、その後該触媒元素を導入した非晶質ケイ素膜を加熱によって結晶化させるようにしたので、非晶質ケイ素膜の結晶化を低温処理により行うことができる。しかも、続く低温処理により、該結晶化した領域を基板表面に対して平行な方向に延ばして横方向結晶成長領域を形成でき、この横方向結晶成長領域を活性領域として利用できる。

【0146】このため、非晶質ケイ素膜の結晶化により得られる、上記活性領域を構成する結晶性ケイ素膜を、通常の固相成長法で得られる結晶性よりさらに高い結晶性を有するものとできる。

【0147】しかもこの際結晶化に要する加熱温度が580℃以下となり、基板として、コーニング7059ガラスに代表される安価なガラス基板を使用できる。

【0148】また、上記横方向結晶成長領域にレーザー光あるいは強光を照射して、結晶の処理を行うようにしたので、活性領域を構成する結晶性ケイ素膜の結晶性をさらに高めることができ、活性領域でのキャリアの電界効果移動度を一層向上できる。

【0149】この結果、結晶性を有するケイ素膜を利用して、絶縁表面を有する基板上に活性層を形成した半導

体装置として、大面積基板にわたって均一で安定した特性の半導体素子を有するものが得られる。また、そのプロセス温度の低温化により安価なガラス基板が使用可能となり、低コスト化が図れる。

【0150】本発明は、MOS型トランジスタの性能向上に特に有効で、液晶表示装置においては、アクティブマトリクス基板に要求される画素スイッチングTFTの特性の均一化、周辺駆動回路部を構成するTFTに要求される高性能化を同時に満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板が実現でき、モジュールのコンパクト化、高性能化、低コスト化が図れる。また、三次元ICにおいては、下層のトランジスタにダメージを与えることなく上層に高性能な半導体素子を実現することが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置及びその製造方法を説明するための平面図である。

【図2】上記第1の実施例の半導体装置の製造方法を工程順に示す断面図である。

【図3】本発明の第2の実施例による半導体装置及びその製造方法を説明するための平面図である。

【図4】上記第2の実施例の半導体装置の製造方法を工程順に示す断面図である。

【図5】本発明の第3の実施例による半導体装置及びその製造方法を説明するための平面図である。

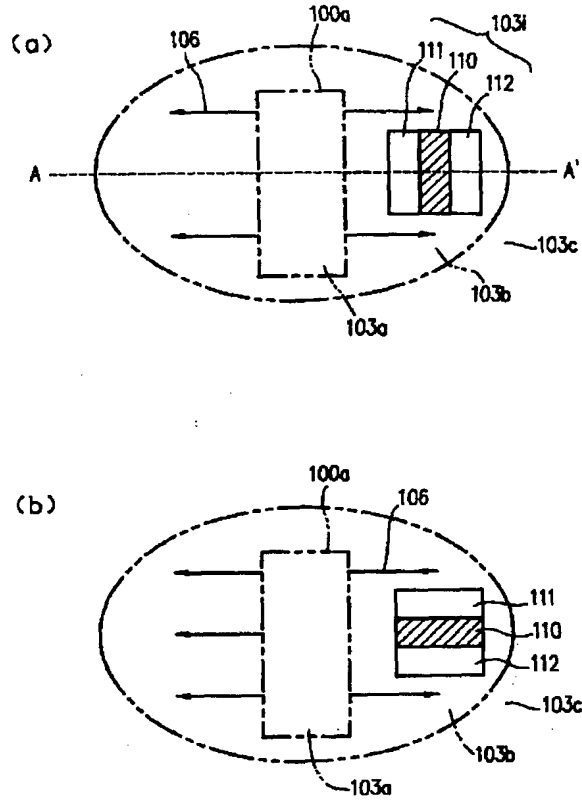
【図6】上記第3の実施例の半導体装置の製造方法を工程順に示す断面図である。

#### 【符号の説明】

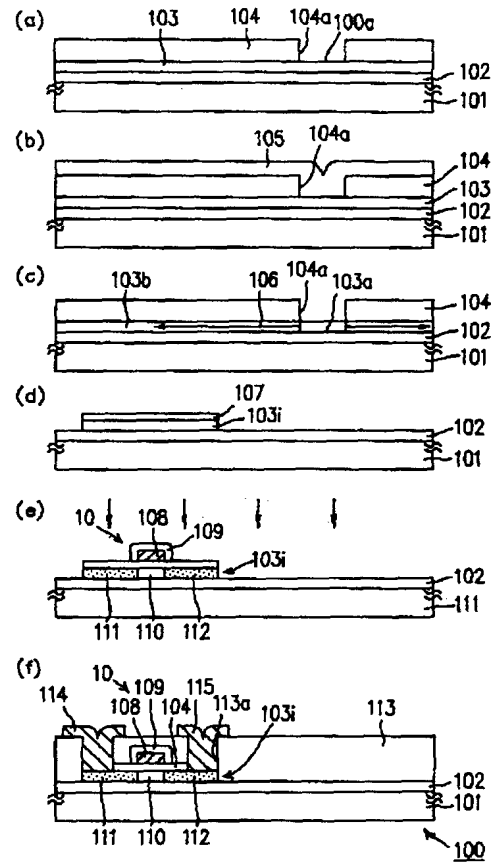
- 10、20、31 N型TFT
- 30 CMOS回路
- 32 P型TFT
- 100、200、300 半導体装置
- 100a、200a、300a ニッケル微量添加領域
- 101、201、301 ガラス基板
- 102、202、302 下地絶縁膜
- 103、203、303 非晶質ケイ素膜
- 103a、203a、303a 結晶性ケイ素膜
- 103b、303n、303p、303b 活性領域
- 106、206、306 結晶成長方向
- 107、207、307 ゲート絶縁膜
- 108、208、308、309 ゲート電極
- 109 陽極酸化層
- 110、210、310、311 チャネル領域
- 111、112、211、212、312、313、314、315 ソース、ドレイン領域
- 113、213、316 層間絶縁物
- 113a、213a、316n、316p コンタクトホール
- 114、115、214、215、317、318、3



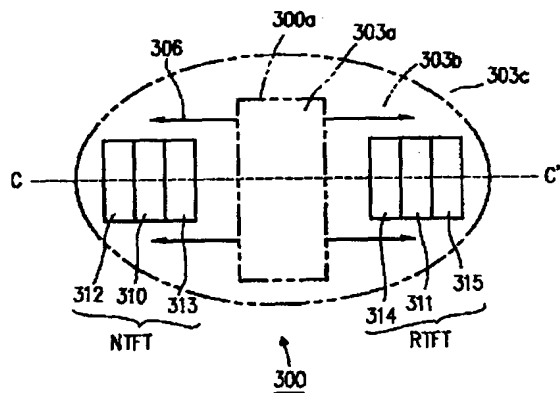
【図 1】



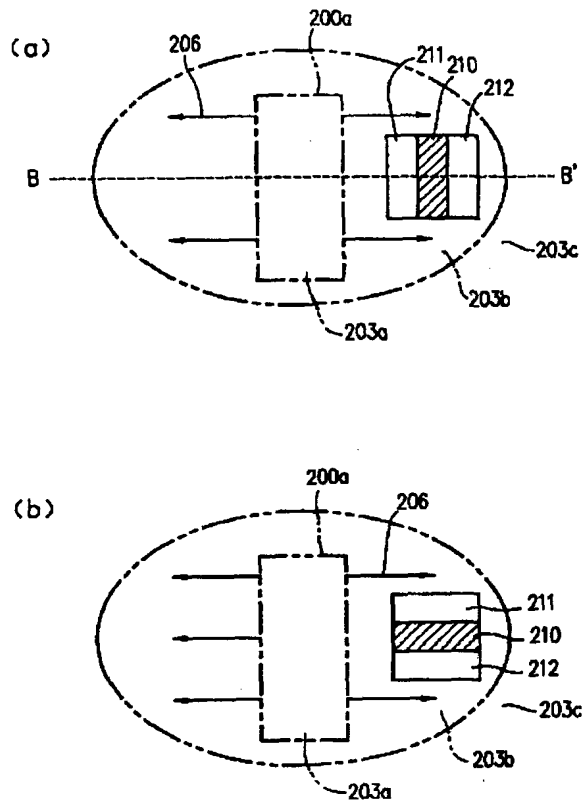
【図 2】



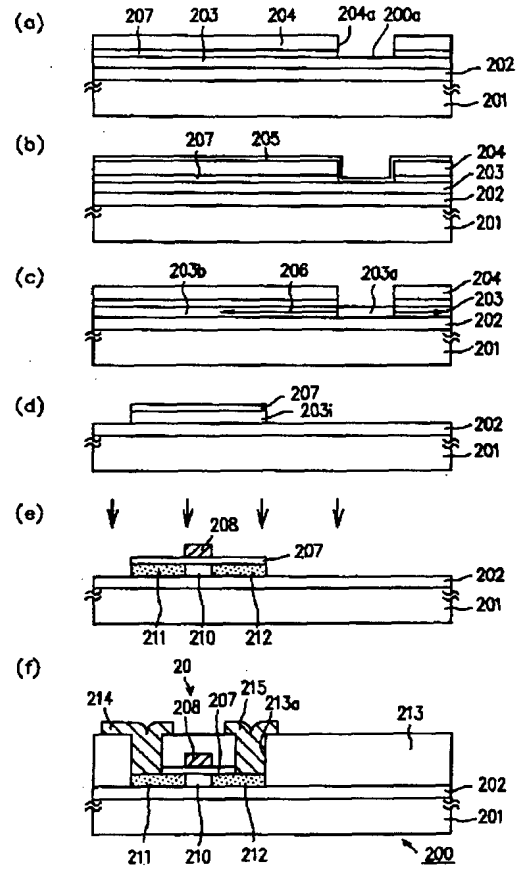
【図 5】



【図 3】



【図 4】



【図 6】

